



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016587
Application Number

출원 년 월 일 : 2003년 03월 17일
Date of Application MAR 17, 2003

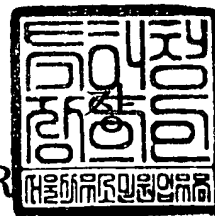
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT



i020030016587

출력 일자: 2003/10/17

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.17
【발명의 명칭】	출력 신호들을 선택적으로 출력가능한 반도체 집적 회로 및 그 것의 테스트 방법
【발명의 영문명칭】	SEMICONDUCTOR INTEGRATED CIRCUIT CAPABLE OF SELECTING OUTPUT SIGNALS AND METHOD FOR TESTING THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	허남중
【성명의 영문표기】	HER,NAM-JUNG
【주민등록번호】	660222-1322218
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 대우아파트 324동 1503호
【국적】	KR
【발명자】	
【성명의 국문표기】	한석영
【성명의 영문표기】	HAN,SEOK YOUNG
【주민등록번호】	710214-1467117



1020030016587

출력 일자: 2003/10/17

【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 산7-1번지 상록수동 807호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 12 면 12,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원
【합계】 598,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에 개시된 반도체 집적 회로는, 복수의 데이터 출력 핀들과, 입력 신호에 응답해서 출력 신호들을 발생하는 데이터 처리 회로, 그리고 테스트 모드일 때, 제 1 주기동안 상기 출력 신호들 중 일군의 출력 신호들을 상기 데이터 출력 핀들 중 일군의 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 타군의 출력 신호들을 상기 데이터 출력 핀들 중 타군의 출력 핀들로 출력하는 출력 선택 회로를 포함하여, 반도체 집적 회로의 출력 핀의 개수보다 적은 수의 테스트 핀들을 구비한 테스트 장치를 이용하여 반도체 집적 회로를 테스트할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

출력 신호들을 선택적으로 출력가능한 반도체 집적 회로 및 그것의 테스트 방법
{SEMICONDUCTOR INTEGRATED CIRCUIT CAPABLE OF SELECTING OUTPUT SIGNALS AND METHOD FOR TESTING THEREOF}

【도면의 간단한 설명】

도 1은 일반적인 TFT-LCD(Thin Film Transistor Liquid Crystal Display) 모듈의 구성을 보여주는 도면;

도 2는 본 발명의 바람직한 실시예에 따른 소스 드라이브 IC의 내부 회로 구성을 보여주는 블록도;

도 3은 도 2에 도시된 소스 드라이브 IC 내의 멀티플렉서들의 제어 수순을 보여주는 플로우차트;

도 4a 및 도 4b는 도 2에 도시된 IC의 데이터 출력 경로를 각각 보여주는 도면들;

도 5는 본 발명의 다른 실시예에 따른 소스 드라이브 IC의 블록도;

도 6은 도 5에 도시된 스위칭 회로의 제어 수순을 보여주는 플로우차트; 그리고

도 7a 및 도 7b는 도 5에 도시된 IC의 데이터 출력 경로를 각각 보여주는 도면들이다.

*도면의 주요부분에 대한 설명

1 : LCD 모듈 2 : 구동 회로부

3, 4 : 인쇄 회로 기판 5 : LCD 패널

6A-6B : 게이트 드라이브 IC 6C-6E : 소스 드라이브 IC



7 : 백라이트 유닛 8 : 형광 램프

100, 300 : 소스 드라이브 IC 200 : 테스트 장치

10₁~10_n : 데이터 레지스터

20₁~20_{n/2}, 50₁~50_{n/2}, 70₁~70_{n/2} : 멀티플렉서

30₁~30_n : 레벨 쉬프터

40₁, 40₃, ... 40_{n-1} : N-디코더 40₂, 40₄, ... 40_n : P-디코더

60₁~60_n : 증폭기 80 : 스위칭 회로

P1~Pn : 출력 핀 T1~Tn/2 : 테스트 핀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 반도체 집적 회로에 관한 것으로, 좀 더 구체적으로는 많은 수의 데이터 출력 핀들을 갖는 반도체 집적 회로 및 그것의 테스트 방법에 관한 것이다.

<21> 도 1은 일반적인 TFT-LCD(Thin Film Transistor Liquid Crystal Display) 모듈의 구성을 보여주기 위한 도면이다. 도 1을 참조하면, LCD 모듈(1)은 크게 구동 회로부(2), LCD 패널(5), 그리고 백라이트 유닛(backlight unit; 7)으로 구성된다.

<22> 구동 회로부(2)는 패널(5)을 구동시키기 위한 다수 개의 게이트 드라이브 IC



들(6A-6B)과 소스 드라이브 IC들(6C-6E), 그리고 타이밍 컨트롤러 등과 같은 각종 회로 소자가 부착된 인쇄 회로 기판(Printed Circuit Board; PCB)(3, 4)으로 구성되며, LCD 패널(5)은 기판과 기판 사이에 있는 두 개의 글래스(glass) 사이에 액정이 주입된 형태로 구성된다. 이 LCD 패널(5)은, 상기 구동 회로부(2)로부터 입력된 각각의 화소 신호 전압에 응답해서, 백라이트 유닛(7)에서 입사된 백색 평면광이 화소에 투과되는 빛을 제어함으로써 컬러 영상을 표현하는 역할을 수행한다. 그리고, 백라이트 유닛(7)은, 램프(8)와 반사판(9) 등으로 구성되며, 광원으로 사용되는 형광 램프(8)로부터 밝기가 균일한 평면광을 만드는 역할을 수행한다.

<23> 잘 알려진 바와 같이, LCD 패널(5)은 격자 형태로 서로 교차하여 배열된 게이트 라인들과 소스 라인들을 포함하며, 하나의 픽셀은 게이트 라인 및 데이터 라인과 각각 연결된다. 예컨대, VGA(Video Graphics Array) 모드용 LCD 패널은 640×480 개의 픽셀들을 포함하며, XGA(Extended Graphics Array) 모드용 LCD 패널은 1024×768 개의 픽셀들을 포함한다. 이와 같이 많은 수의 픽셀들을 구동하기 위해서 게이트 드라이브 IC와 소스 드라이브 IC는 많은 수의 출력핀들을 가지며, 출력핀의 개수는 그 IC가 사용되는 LCD 패널(5)의 해상도에 따라 결정된다. 일반적으로 하나의 IC에 무한정 많은 수의 출력핀을 구비할 수 없으므로 LCD 모듈(1)은 복수 개의 IC들을 직렬로 연결해서 사용한다. 예를 들어, VGA 모드용 LCD 패널은 소스 라인의 수가 640 개이므로, 출력핀이 320 개인 소스 드라이브 IC들이 2 개 직렬로 연결되어야 하며, 또는 출력핀이 640 개인 소스 드라이브 IC를 1개 사용할 수 있다.

<24> 한편, 반도체 집적 회로에 대한 테스트는 입/출력 핀들 전체에 대해 테스트 장비의 테스트 핀들을 1대1로 할당하여 테스트하는 것이 일반적이다. 그러나, 앞서 설명한 LCD 구동용 집적 회로들 즉, 게이트 드라이브 IC 또는 소스 드라이브 IC와 같이, 입/출력 핀의 개수가 많은 집적 회로들을 테스트하기 위해서는 테스트 장비의 테스트 핀의 개수도 많아야 한다.

<25> 최근 LCD 패널의 대형화 및 고화질화에 따라서 구동 IC에 구비되는 핀의 개수가 증가하는 추세이며, 핀 간의 이격거리(pitch)는 감소하고 있는 추세이다. 그러므로, 반도체 집적 회로의 핀 수의 증가에 발맞추어서 테스트 장비의 핀 수도 증가되어야 하는 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서 본 발명의 목적은 반도체 집적 회로의 핀 수보다 적은 핀들을 구비한 테스트 장비를 이용하여 반도체 집적 회로를 테스트할 수 있도록 출력 신호들을 선택적으로 출력가능한 반도체 집적 회로를 제공하는데 있다.

<27> 본 발명의 다른 목적은 반도체 집적 회로의 핀 수보다 적은 핀들을 구비한 테스트 장비를 이용하여 반도체 집적 회로를 테스트하는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<28> (구성)

<29> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 집적 회로는: 복수의 데이터 출력 핀들과, 입력 신호에 응답해서 출력 신호들을 발생하는 데이터 처리 회로, 그리고 테스트 모드일 때, 제 1 주기동안 상기 출력 신호들 중 일군의 출력 신호들을 상기 데이터 출력 핀들 중 일군의 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 타군의 출력 신호들을 상기 데이터 출력 핀들 중 타군의 출력 핀들로 출력하는 출력 선택 회로를 포함한다.

<30> 바람직한 실시예항에 있어서, 상기 테스트 모드동안 상기 출력 선택 회로의 상기 제 1 주기와 상기 제 2 주기는 번갈아 반복적으로 나타난다.

- <31> 바람직한 실시예에 있어서, 상기 출력 선택 회로는, 상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 i 번째 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 i 번째 출력 핀들로 출력한다.
- <32> 바람직한 실시예에 있어서, 상기 출력 선택 회로는, 상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 $i+1$ 번째 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $i+1$ 번째 출력 핀들로 출력한다.
- <33> 바람직한 실시예에 있어서, 상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수)개일 때, 상기 출력 선택 회로는, 상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 1번째부터 $N/2$ 번째 핀들로 출력하고, 상기 제 2 주기동안 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 1번째부터 $N/2$ 번째 핀들로 출력한다.
- <34> 바람직한 실시예에 있어서, 상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때, 상기 출력 선택 회로는, 상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 $(N/2+1)$ 번째부터 N 번째 핀들로 출력하고, 상기 제 2 주기동안 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $(N/2+1)$ 번째부터 N 번째 핀들로 출력한다.
- <35> 본 발명의 다른 특징에 의하면, 복수의 데이터 출력 핀들을 구비한 반도체 집적 회로의 테스트 모드동안 데이터를 출력하는 방법은: 출력 신호들 중 일군의 출력 신호들을 상기 데이터 출력 핀들 중 일군의 출력 핀들로 출력하는 제 1 단계, 그리고 상기 출력 신호들 중 타군의



출력 신호들을 상기 데이터 출력 핀들 중 타군의 출력 핀들로 출력하는 제 2 단계를 포함한다.

- <36> 바람직한 실시예에 있어서, 상기 제 1 및 제 2 단계는 반복적으로 수행된다.
- <37> 바람직한 실시예에 있어서, 상기 제 1 단계는, 상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 i 번째 출력 핀들로 출력한다.
- <38> 이 실시예에 있어서, 상기 제 2 단계는, 상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 i 번째 출력 핀들로 출력한다.
- <39> 바람직한 실시예에 있어서, 상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때, 상기 제 1 단계는, 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 1번째부터 $N/2$ 번째 핀들로 출력한다.
- <40> 이 실시예에 있어서, 상기 제 2 단계는, 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 1번째부터 $N/2$ 번째 핀들로 출력한다.
- <41> 바람직한 실시예에 있어서, 상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때, 상기 제 1 단계는, 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 $(N/2+1)$ 번째부터 N 번째 핀들로 출력한다.
- <42> 이 실시예에 있어서, 상기 제 2 단계는, 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $(N/2+1)$ 번째부터 N 번째 핀들로 출력한다.
- <43> (실시예)
- <44> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

- <45> 도 2는 본 발명의 바람직한 실시예에 따른 소스 드라이브 IC의 내부 회로 구성을 보여주는 블록도이다. 도 2를 참조하면, 소스 드라이브 IC(100)는 데이터 레지스터들(10_1~10_n), 멀티플렉서들(20_1~20_n/2, 50_1~50_n/2, 70_1~70_n/2), 레벨 쉬프터들(30_1~30_n), N-디코더들(40_1, 40_3, ..., 40_n-1), P-디코더들(40_2, 40_4, ..., 40_n), 증폭기들(60-61), 그리고 데이터 출력 핀들(P1~Pn)을 포함한다.
- <46> 데이터 레지스터들(10_1~10_n)은 호스트 컨트롤러(미 도시됨)로부터 제공되는 RGB 데이터 신호들(D1-Dn)을 각각 받아들여서 저장한다. 멀티플렉서들(20_1~20_n/2)은 인접한 2개의 데이터 레지스터들마다 하나씩 연결되며, 연결된 데이터 레지스터들에 저장된 데이터 신호들을 레벨 쉬프터들(30_1~30_n)로 제공한다. 예컨대, 멀티플렉서(20_1)는 데이터 레지스터들(10_1, 10_2)에 저장된 데이터 신호들을 레벨 쉬프터들(30_1, 30_2)로 각각 전달하는데, 일정한 주기마다 전달 방향을 전환한다. 즉, 첫번째 주기에서, 멀티플렉서(20_1)는 데이터 레지스터(10_1)에 저장된 데이터를 레벨 쉬프터(30_1)로 전달하고, 데이터 레지스터(10_2)에 저장된 데이터를 레벨 쉬프터(30_2)로 전달한다. 두번째 주기에서, 멀티플렉서(20_1)는 데이터 레지스터(10_1)에 저장된 데이터를 레벨 쉬프터(30_2)로 전달하고, 데이터 레지스터(10_2)에 저장된 데이터를 레벨 쉬프터(30_1)로 전달한다. 나머지 멀티플렉서들(20_2~20_n/2)의 동작은 멀티플렉서(20_1)의 동작과 동일하다.
- <47> 레벨 쉬프터들(30_1~30_n)은 대응하는 멀티플렉서들(20_1~20_n/2)로부터 전달된 데이터 신호들의 레벨을 픽셀(즉, 액정)을 구동하기에 적합한 전압 레벨로 증가시킨다.
- <48> N-디코더들(40_1, 40_3, ..., 40_n-1)과 P-디코더들(40_2, 40_4, ..., 40_n)은 대응하는 레벨 쉬프터들(30_1~30_n)에 의해서 레벨이 증가된 데이터 신호를 디코딩한다. 즉, N-디코더들(40_1, 40_3, ..., 40_n-1)은 대응하는 레벨 쉬프터들(30_1, 30_3, ..., 30_n-1)로부터 전달

된 데이터 신호에 따라서 외부로부터 제공된 계조 전압들 중 하나를 선택해서 출력한다. P-디코더들(40_2, 40_4, ..., 40_n)은 대응하는 레벨 쉬프터들(30_2, 30_4, ..., 30_n)로부터 전달된 데이터 신호에 따라서 외부로부터 제공된 계조 전압들 중 하나를 선택해서 출력한다.

<49> 앞서, 데이터 레지스터들(10_1, 10_2)에 저장된 데이터를 교차해서 레벨 쉬프터들(30_1, 30_2)로 전달하는 이유는 일정한 주기마다 데이터 신호의 레벨을 기준 전압을 기준으로 반전시켜서 픽셀로 전달해야하기 때문이다. 이는 잘 알려진 바와 같이, 액정의 열화를 방지하기 위함이다. 예컨대, 외부로부터 N-디코더들(40_1, 40_3, ..., 40_{n-1})로 제공되는 계조 전압들의 범위는 0~7V이고, P-디코더들(40_2, 40_4, ..., 40_n)로 제공되는 계조 전압들의 범위는 8~15V이다. 그러므로, 첫번째 주기동안, 외부로부터 제공된 데이터 신호들(D1, D3, ..., D_{n-1})은 N-디코더들(40_1, 40_3, ..., 40_{n-1})에 의해서 0~7V의 계조 전압들 중 어느 하나로 디코딩되고, 데이터 신호들(D2, D4, ..., D_n)은 P-디코더들(40_2, 40_4, ..., 40_n)에 의해서 8~15V의 계조 전압들 중 어느 하나로 디코딩된다. 두번째 주기동안, 외부로부터 제공된 데이터 신호들(D1, D3, ..., D_{n-1})은 P-디코더들(40_2, 40_4, ..., 40_n)에 의해서 8~15V의 계조 전압들 중 어느 하나로 디코딩되고, 데이터 신호들(D2, D4, ..., D_n)은 N-디코더들(40_1, 40_3, ..., 40_{n-1})에 의해서 0~7V의 계조 전압들 중 어느 하나로 디코딩된다.

<50> 멀티플렉서들(50_1, 50_3, ..., 50_{n-1})은 각각 하나의 N-디코더와 하나의 P-디코더에 연결되며, 연결된 디코더들로부터 제공된 계조 전압들을 증폭기들(60_1~60_n)로 전달한다. 멀티플렉서들(50_1, 50_3, ..., 50_{n-1})은 멀티플렉서들(20_1, 20_3, ..., 20_{n-1})과 연동해서 동작한다. 예컨대, 멀티플렉서(20_1)가 데이터 레지스터(10_1)에 저장된 데이터 신호(D1)를 레벨 쉬프터(30_1)로 전달하고, 데이터 레지스터(10_2)에 저장된 데이터 신호(D2)를 레벨 쉬프터(30_2)로 제공한다면, 멀티플렉서(50_1)는 N-디코더(40_1)로부터 출력되는 신호를 증폭

기(60_1)로 전달하고, P-디코더(40_2)로부터 출력되는 신호를 증폭기(60_2)로 전달한다. 나머지 멀티플렉서들(50_2~50_n/2)의 동작은 멀티플렉서(50_1)의 동작과 동일하므로 상세한 설명은 생략한다.

<51> 증폭기들(60_1~60_n)로부터 출력되는 신호들(S1~Sn)은 소스 구동 신호들로서 데이터 출력 핀들(P1~Pn)을 통해서 대응하는 LCD 패널(미 도시됨)의 픽셀로 제공된다. 노말 모드에서, 증폭기들(60_1~60_n)로부터 출력되는 소스 구동 신호들(S1~Sn)은 대응하는 데이터 출력 핀들(P1~Pn)을 통해 LCD 패널로 제공되나, 본 발명의 바람직한 실시예에 따른 소스 드라이브 IC(100)는 테스트 모드동안, 증폭기들(60_1~60_n)로부터 출력되는 소스 구동 신호들(S1~Sn)을 선택적으로 출력한다. 노말 모드 및 테스트 모드 각각에서의 데이터 출력 동작은 도 3을 참조하여 상세히 설명한다.

<52> 도 3은 도 2에 도시된 소스 드라이브 IC(100) 내의 멀티플렉서들(70_1~70_n/2)의 제어 수순을 보여주는 플로우차트이다. 멀티플렉서들(70_1~70_n/2)은 테스트 모드 신호(TM)에 응답해서 동작한다. 테스트 모드 신호(TM)는 예컨대, 노말 모드일 때 로우 레벨(즉, 논리 '0')이고, 테스트 모드일 때 하이 레벨(즉, 논리 '1')이다.

<53> 단계 S110에서, 멀티플렉서들(70_1~70_n/2)은 테스트 모드 신호(TM)가 테스트 모드를 나타내는지의 여부를 판별한다. 테스트 모드 신호(TM)가 테스트 모드가 아닌 노말 모드를 나타낼 때, 그 제어는 단계 S150으로 진행한다.

<54> 단계 S150에서, 멀티플렉서들(70_1~70_n/2)은 증폭기들(60_1~60_n)로부터 출력되는 소스 구동 신호들(S1~Sn)을 출력핀들(P1~Pn)로 출력한다. 예컨대, 증폭기(60_1)로부터 출력되는 소스 구동 신호(S1)는 멀티플렉서(70_1)를 통해 출력핀(P1)으로 출력되고, 증폭기(60_2)로부터 출력되는 소스 구동 신호(S2)는 멀티플렉서(70_1)를 통해 출력핀(P2)으로 출력된다. 이와 같



이, 증폭기들(60_1~60_n)로부터 출력되는 소스 구동 신호들(S1~Sn)과 출력핀들(P1~Pn)은 일대일 대응된다.

<55> 단계 S110의 판별 결과, 테스트 모드 신호(TM)가 테스트 모드를 나타낼 때, 즉, 하이 레벨일 때, 그 제어는 단계 S120으로 진행한다. 단계 S120에서, 제 1 테스트 주기가 개시된다. 제 1 테스트 주기동안, 일군의(예를 들면, 홀수 번째) 증폭기들(60_1, 60_3, ..., 60_{n-1})로부터 출력되는 일군의(예를 들면, 홀수 번째) 소스 신호들(S1, S3, ..., S_{n-1})은 멀티플렉서들(70_1~70_{n/2})을 통해 일군의(예를 들면, 홀수 번째) 출력핀들(P1, P3, ..., P_{n-1})로 출력된다. 단, n은 양의 정수인 짝수인 것으로 가정한다. 즉, 제 1 테스트 주기동안, 멀티플렉서들(70_1~70_{n/2})은 홀수 번째 소스 구동 신호들(S1, S3, ..., S_{n-1})을 홀수 번째 출력핀들(P1, P3, ..., P_{n-1})로 출력한다.

<56> 단계 S130에서 제 2 테스트 주기가 개시된다. 제 2 테스트 주기동안, 타군의(예를 들면, 짝수 번째) 증폭기들(60_2, 60_4, ..., 60_n)로부터 출력되는 타군의(예를 들면, 짝수 번째) 소스 신호들(S2, S4, ..., S_n)은 멀티플렉서들(70_1~70_{n/2})을 통해 일군의(예를 들면, 홀수 번째) 출력핀들(P1, P3, ..., P_{n-1})로 출력된다. 즉, 제 2 테스트 주기동안, 멀티플렉서들(70_1~70_{n/2})은 짝수 번째 소스 구동 신호들(S2, S4, ..., S_n)을 홀수 번째 출력핀들(P1, P3, ..., P_{n-1})로 출력한다.

<57> 테스트 장치(200)의 테스트 핀들(T1~T_{n/2})은 소스 드라이브 IC(100)의 일군의(예를 들면, 홀수 번째) 출력핀들(P1, P3, ..., P_{n-1}) 중 대응하는 출력핀에 각각 연결된다. 그러므로, 제 1 테스트 주기동안, 소스 드라이브 IC(100)의 홀수 번째 소스 구동 신호들(S1, S3, ..., S_{n-1})이 홀수 번째 출력핀들(P1, P3, ..., P_{n-1}) 및 테스트 핀들(T1~T_{n/2})을 통해 테스트 장치(200)로 전달되고, 제 2 테스트 주기동안, 소스 드라이브 IC(100)의 짝수 번째 소스 구동 신호

들(S_2, S_4, \dots, S_n)이 홀수 번째 출력핀들(P_1, P_3, \dots, P_{n-1}) 및 테스트 핀들($T_1 \sim T_{n/2}$)을 통해 테스트 장치(200)로 전달한다.

- <58> 단계 S140에서, 테스트 모드가 완료되었는 지의 여부가 판별된다. 멀티플렉서들($70_1 \sim 70_{n/2}$)은 테스트 모드 신호(TM)가 로우 레벨로 천이하면 테스트 모드가 종료된 것으로 판별하고, 테스트 모드 신호(TM)가 하이 레벨을 그대로 유지하면 단계 S120으로 리턴한다.
- <59> 이와 같은 본 발명에 의하면, $n/2$ 개의 테스트 핀들을 구비한 테스트 장치(200)를 이용하여 n 개의 출력 핀들을 구비한 반도체 집적 회로를 테스트할 수 있다.
- <60> 도 4a 및 도 4b는 데이터 출력 경로를 각각 보여주는 도면들이다. 도 4a는 호스트 컨트롤러로부터 제공된 일군의 데이터 신호들(D_1, D_3, \dots, D_{n-1})이 N-디코더들($40_1, 40_3, \dots, 40_{n-1}$)에 의해 각각 디코딩되고, 타군의 데이터 신호들(D_2, D_4, \dots, D_n)이 P-디코더들($40_2, 40_4, \dots, 40_n$)에 의해 각각 디코딩될 때, 테스트 모드에서 호스트 디코더로부터 제공된 데이터 신호들이 출력 핀들(P_1, P_3, \dots, P_{n-1})로 출력되는 경로를 보여주고 있다. 그리고 도 4b는 호스트 컨트롤러로부터 제공된 일군의 데이터 신호들(D_1, D_3, \dots, D_{n-1})이 P-디코더들($40_2, 40_4, \dots, 40_n$)에 의해 각각 디코딩되고, 타군의 데이터 신호들(D_2, D_4, \dots, D_n)이 N-디코더들($40_1, 40_3, \dots, 40_{n-1}$)에 의해 각각 디코딩될 때, 테스트 모드에서 호스트 디코더로부터 제공된 데이터 신호들이 출력 핀들(P_1, P_3, \dots, P_{n-1})로 출력되는 경로를 보여주고 있다. 도 4a 및 도 4b에서, 실선은 제 1 테스트 주기동안의 데이터 경로이고, 점선은 제 2 테스트 주기동안의 데이터 경로이다.

- <61> 도 5는 본 발명의 다른 실시예에 따른 소스 드라이브 IC를 보여주고 있다. 도 5에 도시된 소스 드라이브 IC(300)는 도 2에 도시된 소스 드라이브 IC(100)와 유사한 구성을 가지나, 소스 드라이브 IC(100)의 멀티플렉서들($70_1 \sim 70_{n-1}$) 대신에 스위칭 회로(80)를 포함한다. 도

5에서, 도 2와 동일한 회로 구성에 대한 인출 부호는 도 2와 동일하게 병기하며 중복되는 설명은 생략한다.

<62> 도 5에서 스위칭 회로(80)는 $n/2$ 개의 스위치들(SW1~SW $n/2$)을 포함한다. 스위치들(SW1~SW $n/2$)은 테스트 모드 신호(TM)에 응답해서 동작한다. 앞서 설명한 바와 같이, 테스트 모드 신호(TM)는 노말 모드일 때 로우 레벨 그리고 테스트 모드일 때 하이 레벨이다. 스위치들(SW1~SW $n/2$)의 일단은 출력 핀들(P1~P $n/2$)에 각각 연결되고, 타단은 일군의 증폭기들(60_1~60_ $n/2$)의 출력단들 또는 타군의 증폭기들(60_ $n/2+1$ ~60_N)의 출력단들과 연결된다. 노말 모드에서, 스위치들(SW1~SW $n/2$)의 타단은 일군의 증폭기들(60_1~60_ $n/2$)의 출력단들과 연결된다. 테스트 모드에서, 스위치들(SW1~SW $n/2$)의 타단은, 제 1 테스트 주기동안 일군의 증폭기들(60_1~60_ $n/2$)의 출력단들과 연결되고, 제 2 테스트 주기동안 타군의 증폭기들(60_ $n/2+1$ ~60_N)의 출력단들과 연결된다.

<63> 도 6은 도 5에 도시된 스위칭 회로(80)의 제어 수순을 보여주는 플로우차트이다. 도 5 및 도 6을 참조하면, 단계 S310에서, 스위칭 회로(80)는 테스트 모드 신호(TM)가 테스트 모드를 나타내는지의 여부를 판별한다. 테스트 모드 신호(TM)가 테스트 모드가 아닌 노말 모드를 나타내면 그 제어는 단계 S350으로 진행한다. 단계 S350에서, 스위치들(SW1~SW $n/2$)의 타단은 일군의 증폭기들(60_1~60_ $n/2$)의 출력단들과 연결된다. 그러므로, 일군의 증폭기들(60_1~60_ $n/2$)로부터 출력되는 일군의 소스 구동 신호들(S1~S $n/2$)은 스위치들(SW1~SW $n/2$)을 통해 출력 핀들(P1~P $n/2$)로 출력되고, 타군의 증폭기들(60_ $n/2+1$ ~60_ n)로부터 출력되는 타군의 소스 구동 신호들(S $n/2+1$ ~S n)은 출력 핀들(P $n/2+1$ ~P n)로 출력된다.

<64> 단계 S310의 판별 결과, 테스트 모드 신호(TM)가 테스트 모드를 나타내면 그 제어는 단계 S320으로 진행한다. 단계 S320에서, 제 1 테스트 주기가 개시된다. 제 1 테스트

주기동안, 스위치들(SW1~SW $n/2$)의 타단은 일군의 증폭기들(60_1~60_ $n/2$)의 출력단들과 연결된다. 그러므로, 일군의 증폭기들(60_1~60_ $n/2$)로부터 출력되는 일군의 소스 구동 신호들(S1~S $n/2$)은 스위치들(SW1~SW $n/2$)을 통해 출력 핀들(P1~P $n/2$)로 출력된다. 단계 S330에서, 제 2 테스트 주기가 개시된다. 제 2 테스트 주기동안, 스위치들(SW1~SW $n/2$)의 타단은 타군의 증폭기들(60_ $n/2+1$ ~60_ n)의 출력단들과 연결된다. 그러므로, 타군의 증폭기들(60_ $n/2+1$ ~60_ n)로부터 출력되는 타군의 소스 구동 신호들(S $n/2+1$ ~S n)은 스위치들(SW1~SW $n/2$)을 통해 출력 핀들(P1~P $n/2$)로 출력된다.

<65> 테스트 장치(200)의 테스트 핀들(T1~T $n/2$)은 소스 드라이브 IC(100)의 일군의 출력핀들(P1~P $n/2$)에 각각 연결된다. 그러므로, 제 1 테스트 주기동안, 소스 드라이브 IC(100)의 일군 소스 구동 신호들(S1~S $n/2$)이 일군의 출력핀들(P1~P $n/2$) 및 테스트 핀들(T1~T $n/2$)을 통해 테스트 장치(200)로 전달되고, 제 2 테스트 주기동안, 소스 드라이브 IC(100)의 타군의 소스 구동 신호들(S $n/2+1$ ~S n)이 일군의 출력핀들(P1~P $n/2$) 및 테스트 핀들(T1~T $n/2$)을 통해 테스트 장치(200)로 전달한다.

<66> 단계 S340에서, 스위칭 회로(80)는 테스트 모드 신호(TM)가 로우 레벨로 천이하면 테스트 모드가 종료된 것으로 판별하고, 테스트 모드 신호(TM)가 하이 레벨을 유지하면 그 제어는 단계 S320으로 리턴한다.

<67> 이와 같은 본 발명에 의하면, $n/2$ 개의 테스트 핀들을 구비한 테스트 장치(200)를 이용하여 n 개의 출력 핀들을 구비한 반도체 집적 회로를 테스트할 수 있다.

<68> 도 7a 및 도 7b는 데이터 출력 경로를 각각 보여주는 도면들이다. 도 7a는 호스트 컨트롤러로부터 제공된 홀수 번째 데이터 신호들(D1, D3, ..., D $n-1$)이 N-디코더들(40_1, 40_3, ..., 40_ $n-1$))에 의해 각각 디코딩되고, 짝수 번째 데이터 신호들(D2, D4, ..., D n)이 P-디코더들



(40_2, 40_4, ..., 40_n)에 의해 각각 디코딩될 때, 테스트 모드에서 호스트 디코더로부터 제공된 데이터 신호들이 출력 핀들(P1~Pn/2)로 출력되는 경로를 보여주고 있다. 그리고 도 7b는 호스트 컨트롤러로부터 제공된 홀수 번째 데이터 신호들(D1, D3, ..., Dn-1)이 P-디코더들(40_2, 40_4, ..., 40_n)에 의해 각각 디코딩되고, 짝수 번째 데이터 신호들(D2, D4, ..., Dn)이 N-디코더들(40_1, 40_3, ..., 40_{n-1})에 의해 각각 디코딩될 때, 테스트 모드에서 호스트 디코더로부터 제공된 데이터 신호들이 출력 핀들(P1~Pn/2)로 출력되는 경로를 보여주고 있다. 도 7a 및 도 7b에서, 실선은 제 1 테스트 주기동안의 데이터 경로이고, 점선은 제 2 테스트 주기동안의 데이터 경로이다.

<69> 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예에 한정되지 않는다는 것이 잘 이해될 것이다. 따라서, 청구범위는 그러한 변형예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

【발명의 효과】

<70> 이와 같은 본 발명에 의하면, $n/2$ 개의 테스트 핀들을 구비한 테스트 장치를 이용하여 n 개의 출력 핀들을 구비한 반도체 집적 회로를 테스트할 수 있다. 이와 같이, 반도체 집적 회로의 출력 핀들의 개수가 많더라도 테스트 장치는 반도체 집적 회로에 구비된 출력 핀보다 적은 수를 구비해도 된다. 따라서, 테스트 장치의 제작이 용이해지고, 생산 비용이 절감된다. 한편, 반도체 집적 회로의 출력 핀들과 동일한 개수의 테스트 핀들을 구비한 테스트 장치는 동시에 2 개의 반도체 집적 회로들을 테스트할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 집적 회로에 있어서:

복수의 데이터 출력 핀들과;

입력 신호에 응답해서 출력 신호들을 발생하는 데이터 처리 회로; 그리고

테스트 모드일 때, 제 1 주기동안 상기 출력 신호들 중 일군의 출력 신호들을 상기 데이터 출력 핀들 중 일군의 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 타군의 출력 신호들을 상기 데이터 출력 핀들 중 타군의 출력 핀들로 출력하는 출력 선택 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 2】

제 1 항에 있어서,

상기 테스트 모드동안 상기 출력 선택 회로의 상기 제 1 주기와 상기 제 2 주기는 번갈아 반복적으로 나타나는 것을 특징으로 하는 반도체 집적 회로.

【청구항 3】

제 1 항에 있어서,

상기 출력 선택 회로는,

상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 i 번째 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 i 번째 출력 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 4】

제 1 항에 있어서,

상기 출력 선택 회로는,

상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 $i+1$ 번째 출력 핀들로 출력하고, 제 2 주기동안 상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $i+1$ 번째 출력 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 5】

제 1 항에 있어서,

상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때,

상기 출력 선택 회로는,

상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 1번째부터 $N/2$ 번째 핀들로 출력하고, 상기 제 2 주기동안 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 1번째부터 $N/2$ 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 6】

제 1 항에 있어서,

상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때,

상기 출력 선택 회로는,



상기 테스트 모드일 때, 상기 제 1 주기동안 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 $(N/2+1)$ 번째부터 N 번째 핀들로 출력하고, 상기 제 2 주기동안 상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $(N/2+1)$ 번째부터 N 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 7】

복수의 데이터 출력 핀들을 구비한 반도체 집적 회로의 테스트 모드동안 데이터를 출력하는 방법에 있어서:

출력 신호들 중 일군의 출력 신호들을 상기 데이터 출력 핀들 중 일군의 출력 핀들로 출력하는 제 1 단계; 그리고

상기 출력 신호들 중 타군의 출력 신호들을 상기 데이터 출력 핀들 중 타군의 출력 핀들로 출력하는 제 2 단계를 포함하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 8】

제 7 항에 있어서,

상기 제 1 및 제 2 단계는 반복적으로 수행되는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 9】

제 7 항에 있어서,

상기 제 1 단계는,

상기 출력 신호들 중 i (i 는 양의 정수) 번째 출력 신호들을 상기 데이터 출력 핀들 중 i 번째 출력 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 10】

제 9 항에 있어서,

상기 제 2 단계는,

상기 출력 신호들 중 $i+1$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 i 번째 출력 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 11】

제 7 항에 있어서,

상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때, 상기 제 1 단계는, 상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 1번째부터 $N/2$ 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 12】

제 11 항에 있어서,

상기 제 2 단계는,

상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 1번째부터 $N/2$ 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 13】

제 7 항에 있어서,

상기 데이터 출력 핀들과 상기 출력 신호들이 각각 N (N 은 양의 정수) 개일 때, 상기 제 1 단계는,

상기 출력 신호들 중 1번째부터 $N/2$ 번째 출력 신호들을 상기 데이터 출력 핀들 중 $(N/2+1)$ 번째부터 N 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.

【청구항 14】

제 13 항에 있어서,

상기 제 2 단계는,

상기 출력 신호들 중 $(N/2+1)$ 번째부터 N 번째 출력 신호들을 상기 데이터 출력 핀들 중 상기 $(N/2+1)$ 번째부터 N 번째 핀들로 출력하는 것을 특징으로 하는 반도체 집적 회로의 데이터 출력 방법.



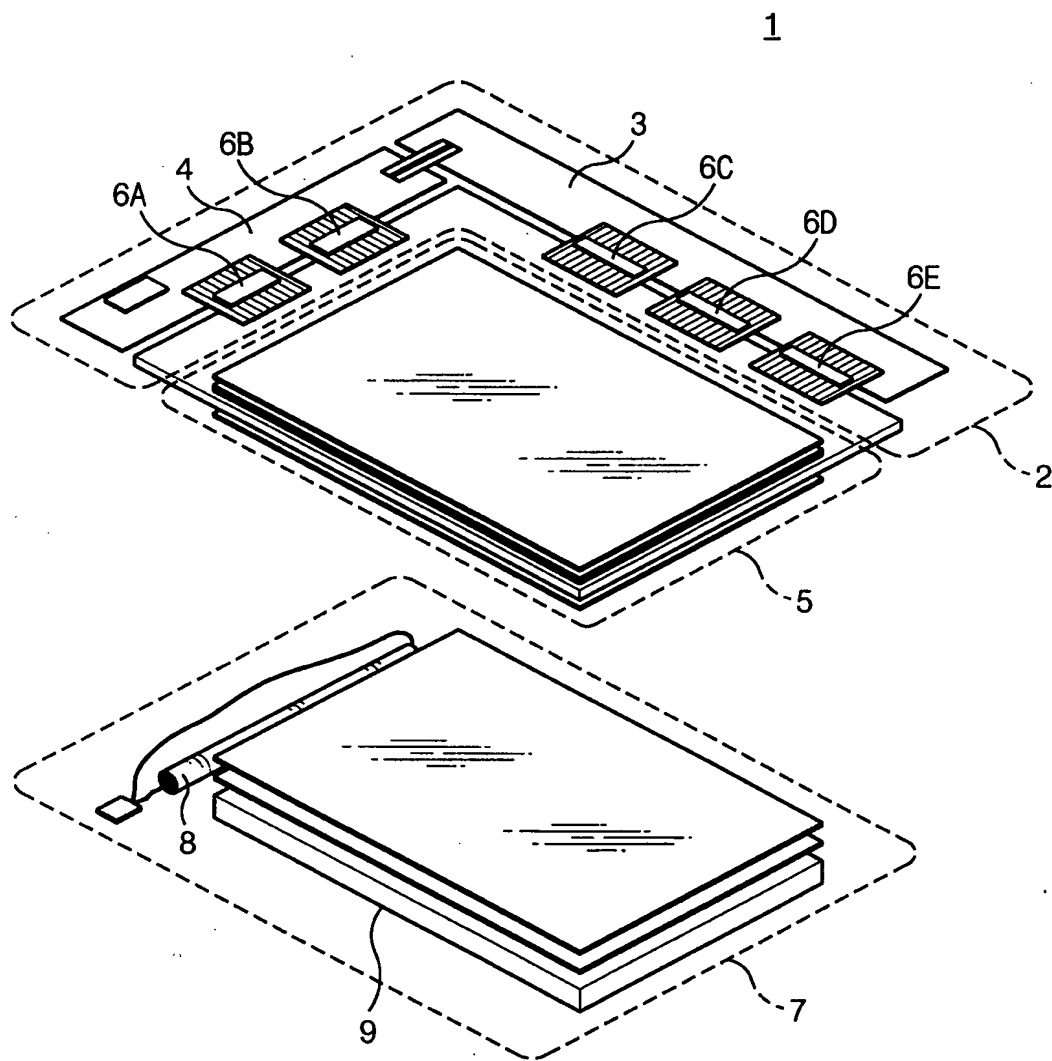
1020030016587

출력 일자: 2003/10/17

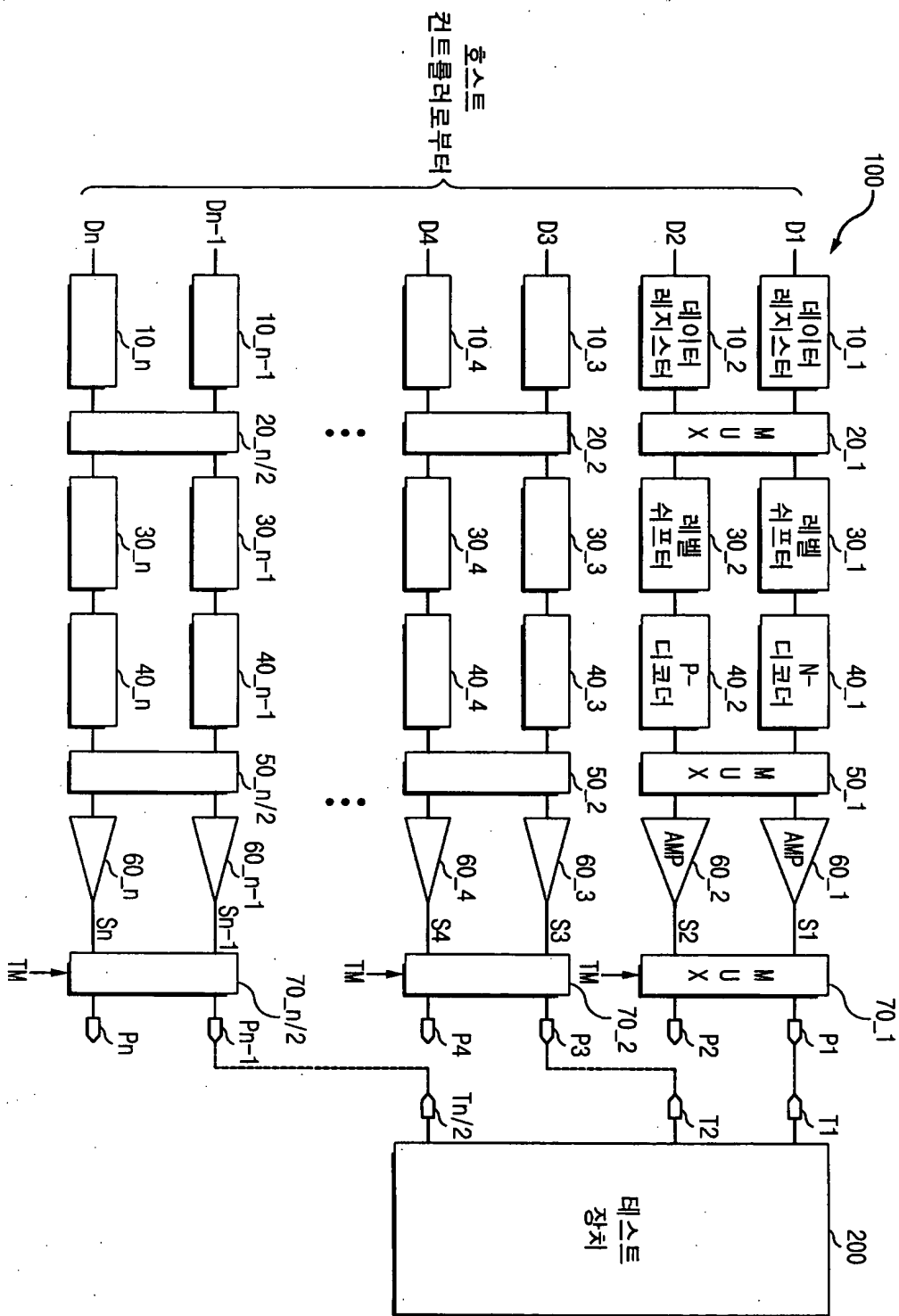
【도면】

【도 1】

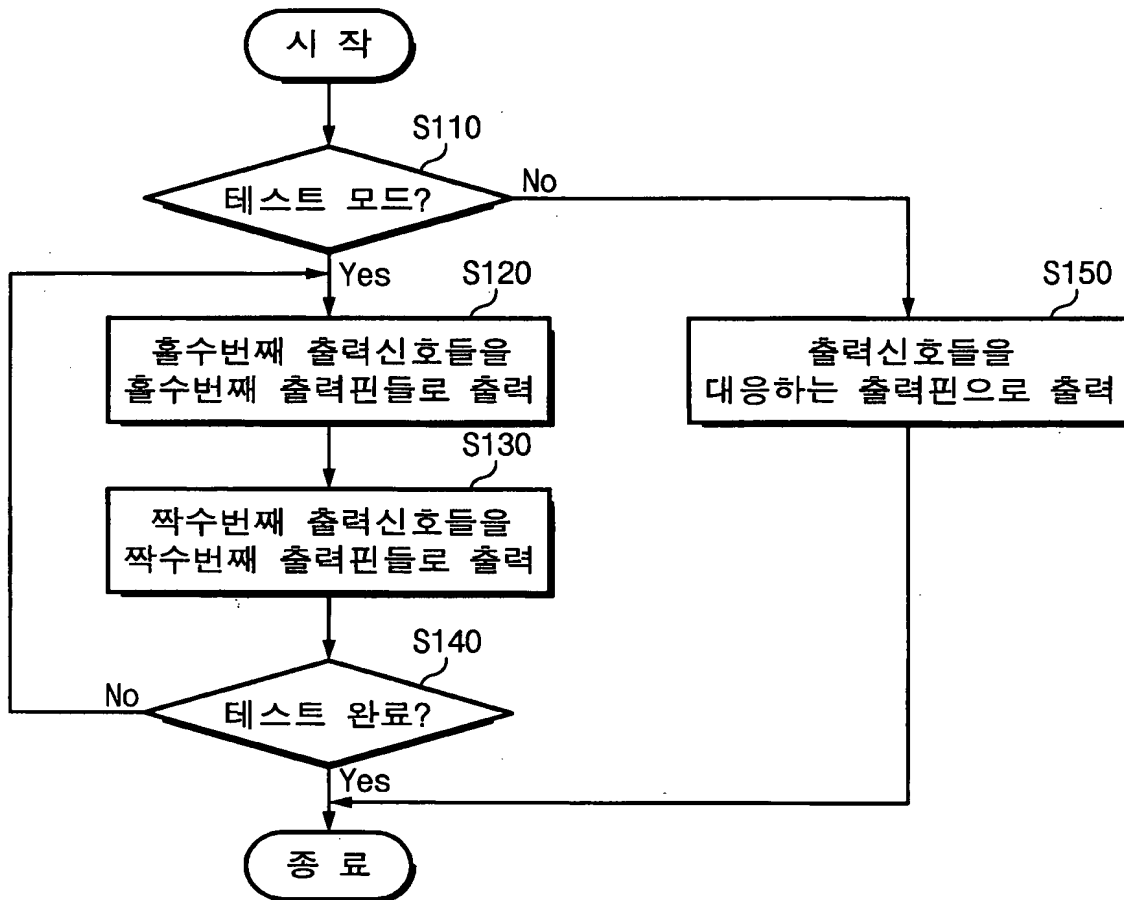
(종래 기술)



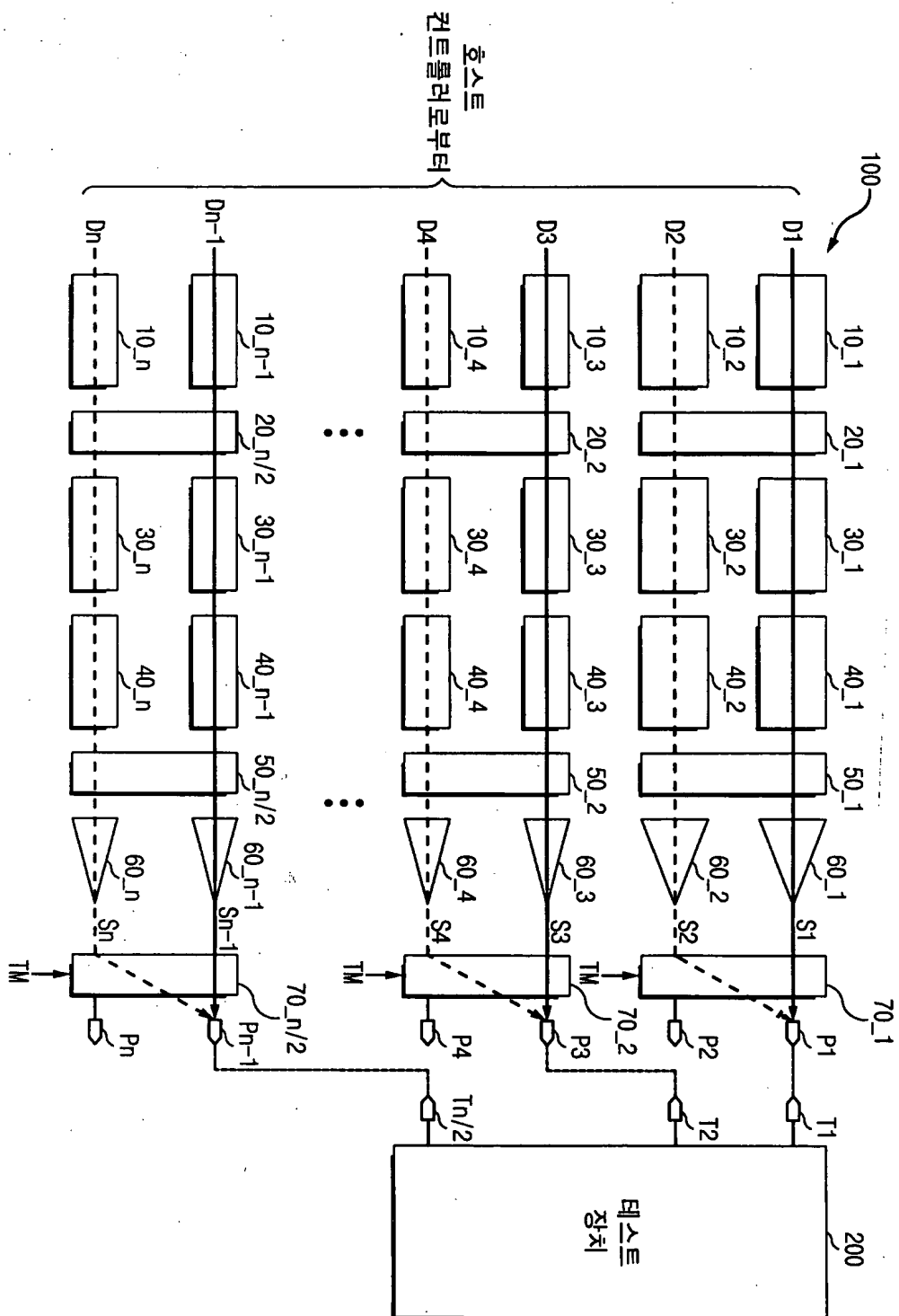
【도 2】



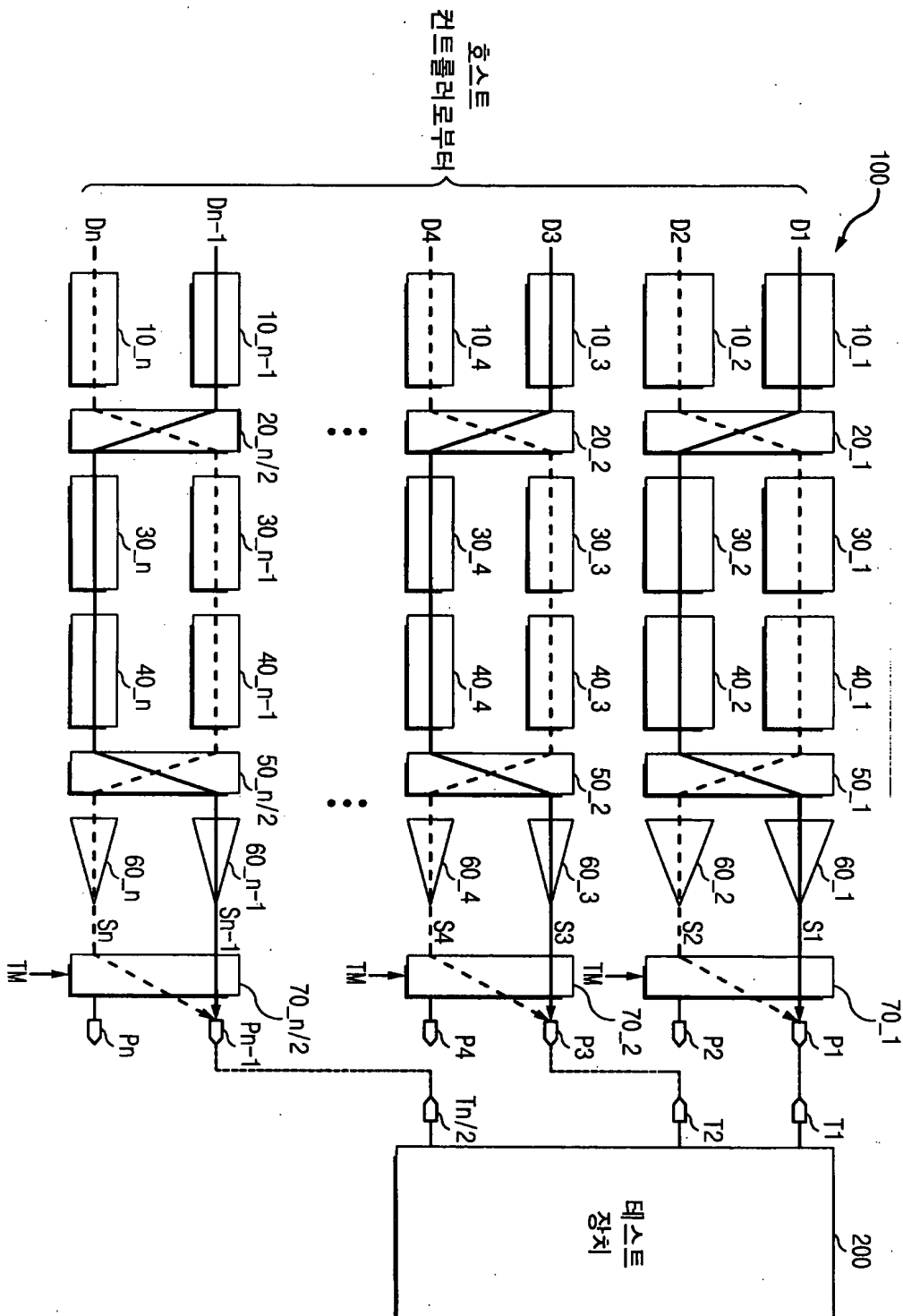
【도/ 3】



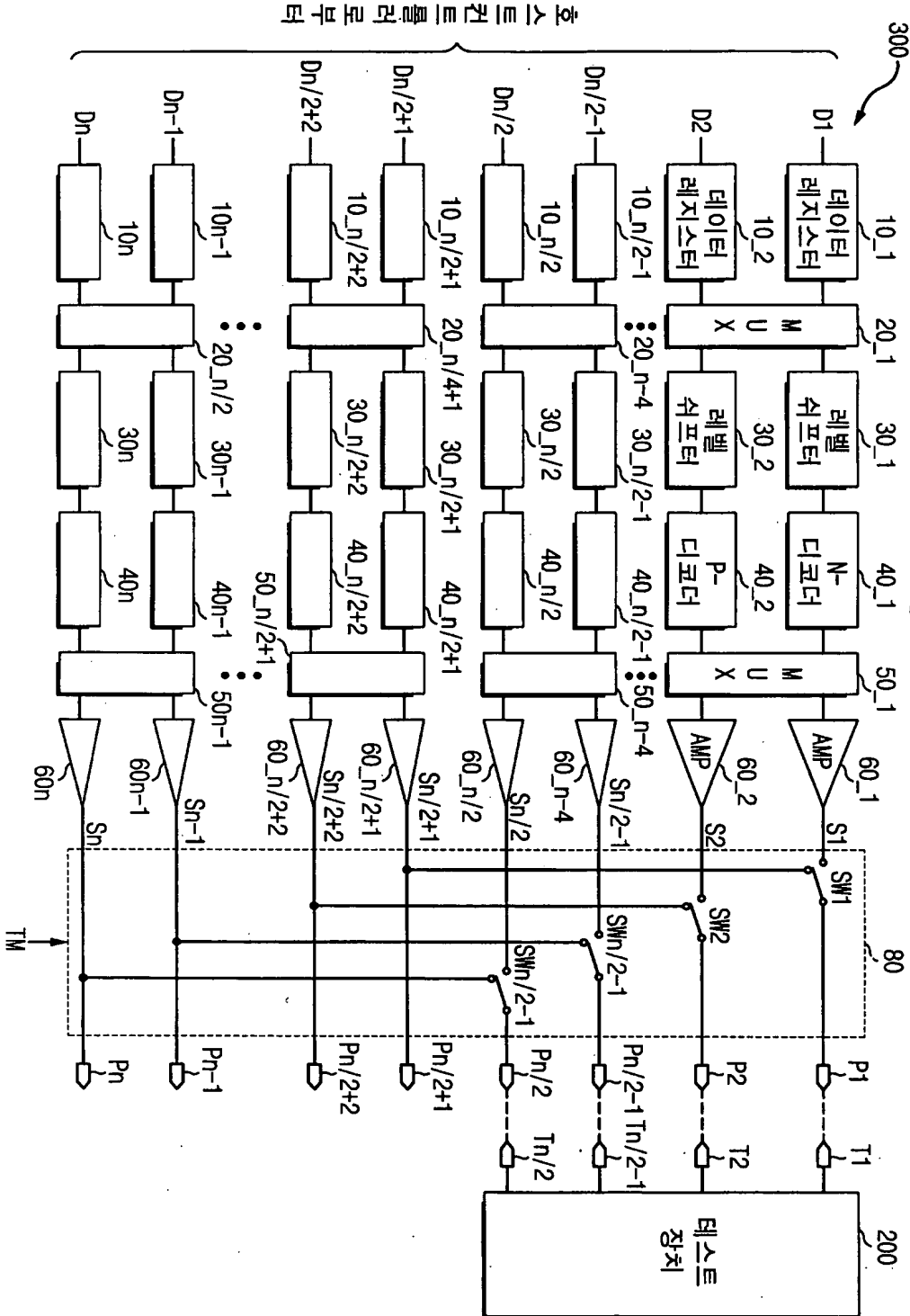
【도 4a】



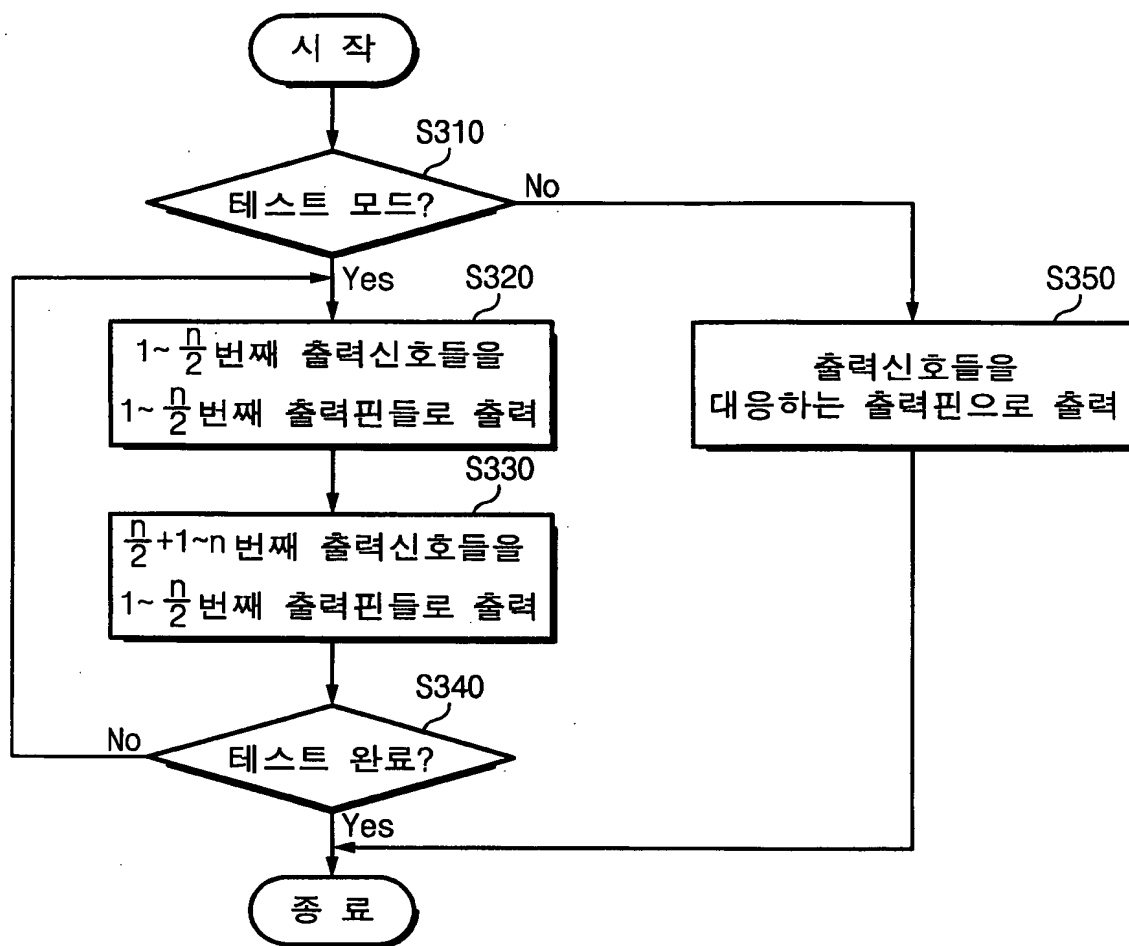
【도 4b】



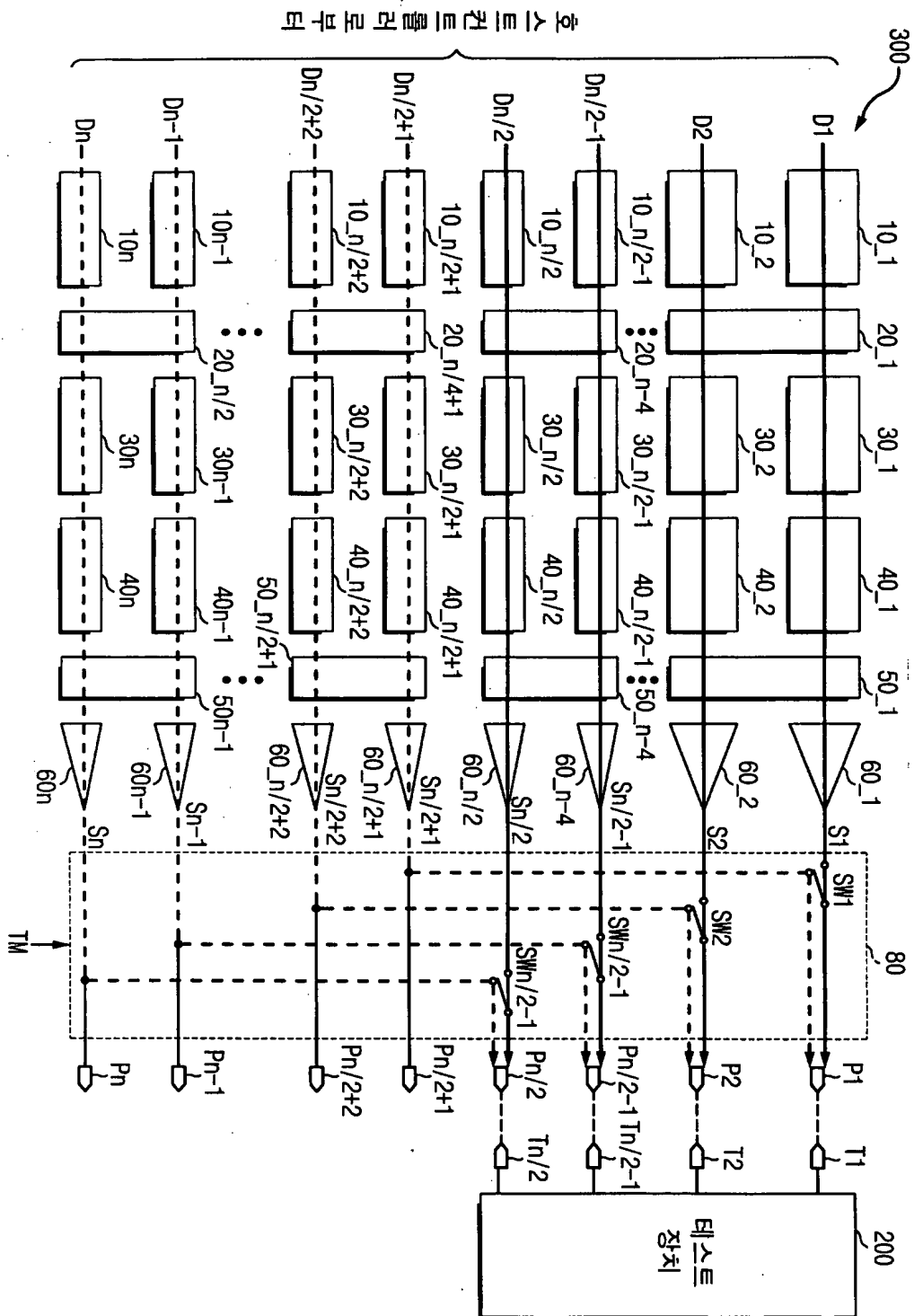
【도 5】



【도 6】



【도 7a】



【도 7b】

